

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-285173

(43)Date of publication of application : 23.10.1998

(51)Int.Cl. H04L 12/28
H04Q 3/00

(21)Application number : 09-089070

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.04.1997

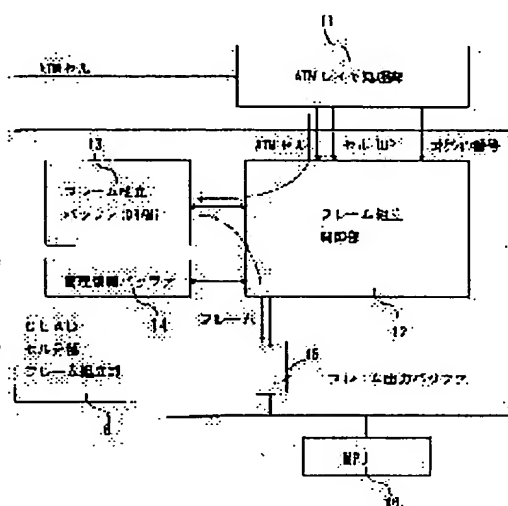
(72)Inventor : SAKAMOTO KENICHI
MAKIMOTO AKIO
TAKASE MASAHIKO
MORIWAKI NORIHIKO
KIUCHI ATSUSHI

(54) ATM CELL PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the capacity of a frame assembly buffer by arranging plural DRAM in an array form as banks, dividing an ATM cell into the number of the banks or more than it and sequentially accessing to the respective banks.

SOLUTION: A frame assembly processing part 12 takes out frame assembly information of a pertinent connection from a management information buffer 14 in accordance with a connection number and decides in which address in the frame assembly buffer 13 constituted of the DRAM the arriving cell is stored. The arriving cell is stored in the buffer 13 in accordance with the decided address. When all the cells loading information of a prescribed frame arrive and the assembly of the frame completes, a control part 12 reads the frame from the buffer 13 and stores the frame in a frame output buffer 15. The MPU 16 is used for executing the processing of a high-order layer. When the frame arrives at the buffer 15, the MPU 16 reads the frame and executes a frame processing.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285173

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁶
H 0 4 L 12/28
H 0 4 Q 3/00

F I
H 0 4 L 11/20
H 0 4 Q 3/00

E

審査請求 未請求 請求項の数12 O L (全 14 頁)

(21) 出願番号 特願平9-89070

(22) 出願日 平成9年(1997)4月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 坂本 健一

東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所中央研究所内

(72) 発明者 牧本 明生

神奈川県横浜市戸塚区戸塚町216番地株式会社日立製作所情報通信事業部内

(72) 発明者 高瀬 晶彦

神奈川県横浜市戸塚区戸塚町216番地株式会社日立製作所情報通信事業部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

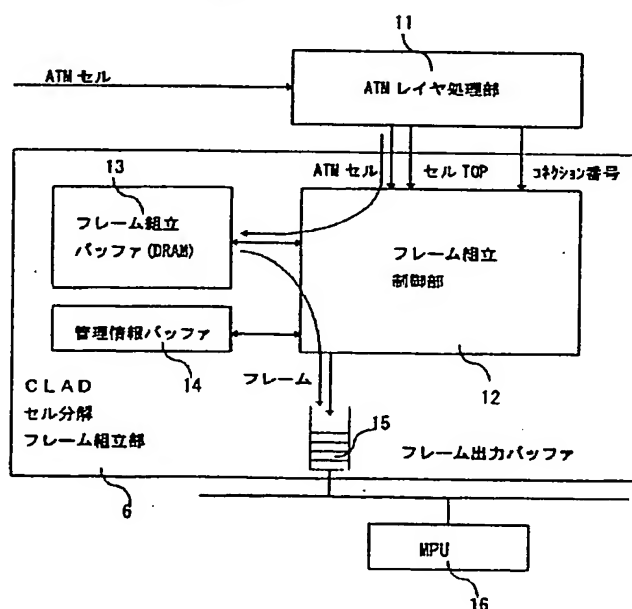
(54) 【発明の名称】 ATMセル処理装置

(57) 【要約】

【課題】 ATMセル処理装置に適用する、大容量セルバッファを構成する。

【解決手段】 ATMセル処理装置のフレーム組立部のフレーム組立バッファにDRAMを使用する。DRAMアクセスのアクセス速度の異方性を吸収するため、常時にDRAMアクセスのランダムアクセスモードを使用し、この場合のアクセス速度の低下を補うために、DRAMをアレー状に配置し、セルを分割して各DRAMにそれぞれ順番に書き込み、読み出しを行う。DRAMを用いて高速で大容量のセルバッファを構成することが出来る。本セルバッファはFIFOなどにも適用できる。

図 1



【特許請求の範囲】

【請求項1】ATMセルを用いて通信を行う装置に搭載され、転送されてきた1ないし複数のATMセルから上位レイヤで扱われるフレームに組立を行うATMセル処理装置において、

複数のバンクから構成され、前記ATMセル処理装置が入力した複数のATMセルのそれぞれが複数に分割された状態で前記複数のバンクのそれぞれに格納するメモリと、

前記複数に分割されたATMセルを、前記メモリのそれぞれのバンクへ順次書き込む制御と、前記バンクに書き込まれた分割されたATMセルを順次読み出す読み出し制御とを行う制御部とを有することを特徴とするATMセル処理装置。

【請求項2】請求項1記載のATMセル処理装置において、前記メモリは、DRAMであることを特徴とするATMセル処理装置。

【請求項3】請求項1記載のATMセル処理装置において、前記メモリは、前記ATMセル処理装置が入力したATMセルのそれぞれの分割数と同一のバンク数を有することを特徴とするATMセル処理装置。

【請求項4】請求項3記載のATMセル処理装置において、前記メモリの分割数を4、8、16の何れかとしたことを特徴とするATMセル処理装置。

【請求項5】請求項2記載のATMセル処理装置において、

前記フレーム組立制御部は、前記分割されたATMセルの前記DRAMへの書き込みとDRAMからの情報の読み出しを、前記分割されたバンクの数の整数倍のクロックで交互に行い、前記書き込みと読み出しを一定クロック異ならせて行わせることを特徴とするATMセル処理装置。

【請求項6】ATMセルを用いて通信を行う装置に搭載され、転送されてきた1ないし複数のATMセルから上位レイヤで扱われるフレームに組立を行うATMセル処理装置において、

ATM網から入力したATMセルを、ATMセルヘッダとATMセル本体に分離し、該分離されたATMセル本体に、該ATMセルを入力したコネクションに対応した情報を付加するATMレイヤ処理部と、

前記ATMレイヤ処理部によりコネクション対応情報を付加されたATMセル本体を、入力し、該入力したそれぞれのATMセルを複数に分割し、該分割したATMセルの転送先を、コネクション毎に関連するように決定するフレーム組立制御部と、

複数のバンクに分割され、前記フレーム組立制御部により決定された転送先に基づき、前記分割されたバンクに前記複数に分割されたATMセルのそれぞれを順次格納するメモリとを有することを特徴とするATMセル処理装置。

【請求項7】請求項6記載のATMセル処理装置において、前記メモリは、DRAMであることを特徴とするATMセル処理装置。

【請求項8】請求項6記載のATMセル処理装置において、前記フレーム組立制御部のATMセルの分割数と、前記メモリのバンクの数とは同一であることを特徴とするATMセル処理装置。

【請求項9】請求項8記載のATMセル処理装置において、前記メモリの分割数を4、8、16の何れかとしたことを特徴とするATMセル処理装置。

【請求項10】請求項7記載のATMセル処理装置において、

前記フレーム組立制御部は、前記分割されたATMセルの前記DRAMへの書き込みとDRAMからの情報の読み出しを、前記分割されたバンクの数の整数倍のクロックで交互に行い、前記書き込みと読み出しを一定クロック数分異ならせて行わせることを特徴とするATMセル処理装置。

【請求項11】請求項6記載のATMセル処理装置において、前記フレーム組立部と前記メモリとを制御する制御部と、

前記ATMセル処理装置が入力したATMセルから組み立てられたフレームを格納するフレームバッファとを備え、

前記フレーム組立制御部は、フレームを構成するための全てのセルを入力したとき前記制御部にフレーム入力完了通知を送り、

前記制御部は、前記フレーム入力完了通知を受信すると、前記メモリからATMセル情報を読み出し、前記フレームバッファに転送制御することを特徴とするATMセル処理装置。

【請求項12】請求項11記載のATMセルバッファを使用し、

前記フレーム組立制御部に最初に到来したATMセルを前記メモリに格納する際のアドレスを記憶するレジスタと、前記フレーム組立制御部に最後に到来したセルのアドレスを記憶するアドレス記憶手段と、

前記フレーム組立制御部に新たなフレームを構成するセルが到来すると、先に入力したフレームを構成する最後のATMセルを格納した、前記フレーム組立バッファのアドレスに1を追加し、該1を追加したアドレスに前記新たなフレームを構成するセルを格納するようフレーム組立制御部にアドレスを通知するアドレス管理制御部とを有し、

前記フレーム組立制御部は、セルの読み出し要求があると、前記先に入力したATMセルのアドレスからATMセルを構成する情報を読み出し、更に前記アドレスの値を1追加して順次読み出しを実行することを特徴とするATMセル処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、広帯域通信に好適な非同期転送モード（以下、ATMと称する）の通信装置に関し、特に信号からフレームを生成するCLAD (Cell Assembly and Disassembly) 装置に関する。

【0002】

【従来の技術】ATM (Asynchronous Transfer Mode) は、音声、映像、データ等の様々な情報を全て同じネットワークで送ることが出来る技術である。ATMでは様々な形の情報を固定長のパケット(ATMセル)に変換し、セルの単位で情報を交換することにより、通信を行う。

【0003】様々な形の情報フレームをATMセルの単位に区切りATMセルを作成したり、ATMセルからフレームを組み立て直すために、ASCII社刊「標準ATM教科書」(1995年3月刊行)の109頁に示される、CLAD (Cell Assembly and Disassembly:セル組立、分解)機能が必要である。CLADでは、同書63頁に示されるように、上位レイヤのフレームやパケットデータをセルに搭載したり、到来したセルからフレームやパケットを再構成する機能を持つ。CLADの一例として、特開平7-183887号公報1に示されるものがある。

【0004】CLAD機能のセル分解、フレーム組立機能とは、1または複数のセルからフレームを組み立てる機能である。フレームを組み立てを完了し、上位レイヤの処理部にフレームを送るまでにセルをバッファリングしておくことが必要となる。このセルバッファメモリとしては、制御回路が簡単に構成でき取り扱いが容易なSRAM (Static Random Access Memory) を用いるものが一般的である。

【0005】

【発明が解決しようとする課題】近年、CLADの高機能化が要求されている。例えばインターネットの普及により、ATMにIP (Internet Protocol) を収容するトラヒックが増大している。IPのルーティングにおいては、IP層でのデータの解析が必要なため、IPルータにおいて、ATMセルから一旦IPフレームにセルを分解し、ルーティング処理を行った後、再びATMセル化を行う必要がある(LANエミュレーション、IPスイッチング等)。このようなIPルータは通信容量の大きいバックボーンネットワークに配置されることがある。

CLADのセル分解、フレーム組立装置においては、到達したセルをコネクション毎に分類し、フレームを組立、組立が完了したフレームを上位レイヤの処理部に送信する。伝送路に多重されたフレームは、ATMセルとしては時間的に混在して送信されてくるため、CLADには同時に複数のフレームを組立てることが要求される。高速ATM交換装置には多くのATM通信路が収容されるため、CLAD機能に要求される同時セル分解組立数が増大する。そのため、フレーム組立バッファメモ

リの容量増大が問題となる。

【0006】バッファメモリの使用方法としては、制御回路等を備えたLSIに外付けのRAMを接続して使用方法や、LSI内部にSRAMを配置する方法が一般的であったが、上述のような大容量のバッファメモリを有するATM CLADを構成しようとすると、RAMのアクセス速度やLSIとRAMの入出力ピンの本数が制約となる。また、メモリ内蔵の場合は、LSI内部のRAM実装可能面積が限られているために、大容量のSRAMを用いてセルバッファを実現することが難しい。これを解決するために、SRAMの代わりにメモリの構造が簡単で実装面積が小さいDRAM (Dynamic Random Access Memory) を大容量のセルバッファを構成するRAMとして内蔵することが考えられる。

【0007】DRAMは、培風館刊「超LSIメモリ」(1994年11月刊行)の101~110頁に記載されているように、複数のメモリ素子がカラム方向とロー方向にマトリクス状に配置されたバンクを複数個集めて構成したもので、カラム、ロー、バンクの3つのパラメータによりアドレスを選択してデータの書き込みと読み出しを実行する。バンクとローが同一で、カラムを変化させるアクセス形態をカラムアクセス、カラムとローにかかわらずバンクを変化させるアクセス形態をバンクアクセス、また、カラムにかかわらず同一バンクでローを変化させるアクセス形態をローアクセスと呼び、各アクセス形態により、アクセス時間とデータの出力時間に変化が生じる性質(異方性と称する)を備えたメモリである。

【0008】具体的には、アクセス時間でみると、カラムアクセスとバンクアクセスは高速アクセスが可能であるが、ローアクセスは、これらのアクセスと比較して数倍のアクセス時間を要する。また、カラムアクセスは高速データ出力が可能であるが、バンクアクセスとローアクセスはカラムアクセスと比較してデータの出力に数倍の時間がかかる。さらに、すべてのアクセス形態において、リードアクセスのデータ読み出し時間は、ライトアクセスのデータ書き込み時間より時間がかかる。

【0009】すなわち、DRAMは、連続アドレスリード動作やライト動作など連続的なカラムアクセスによりデータの書き込みと読み出しを行う場合に最速の連続アクセスが可能となり、この動作態様において高速動作するメモリで、計算機システム等情報処理装置において、画像データや計算機システムのファイルデータ等、多量のデータをバースト的にメモリに書き込み(連続アドレスライト)、これを必要な時まで記憶し、必要な時にデータをバースト的にメモリから読み出す(連続アドレスリード)、というバースト的なデータの入出力を高速に実行して記憶しておくのに好適なメモリである。一方、先に説明した異方性のために、3つのアクセス形態がラ

ンダムに発生する、すなわち、データのリード動作やライト動作を行う時のアドレス指定がランダムに発生するような使用方法では、レイテンシ（アクセス時間遅延とデータ出力時間遅延）が異なり高スループットが期待できない。また、DRAMの構成特有の電気的特性で時間が経過するとデータが消失するので、これを防止するために専用タイミングを与えるデータリフレッシュの実行も必要である。

【0010】一方、CLADに用いるセルバッファメモリは、1つの入力回線から一定周期で入力されるセルを、コネクション、さらにフレーム毎に分類して収容し、さらに組立が完了したフレームを上位レイヤ処理部に送信するものである。セルの到着は一定周期であるが、セルが含まれるコネクション、フレームについて周期はなく、ランダムである。フレーム組立が終了する周期については、フレーム長は可変であるため、ランダムである。このため、ATMセルの書き込み、読み出しをランダムなアドレスに行う必要がある。

【0011】すなわち、CLADについては、複数のコネクションのそれぞれから入力される複数のセルを組立てるために、ランダムなアドレスによるセルの入出力がほぼ連続的に実行されることになる。しかも、CLADに入力されるセルの入出力タイミングとアドレスがランダムな状態は、通信網のランダムなトラヒック状態により変動するものであり、予めCLADにおいて所定の規則を定めて制御しても、スイッチを使用する通信網の状態によって変わってしまう。

【0012】更に、CLADからのフレームの読み出し側については、上位レイヤの処理がMPUで行われる場合、MPUからの読み出しがランダムアクセスであるため、RAM書き込み側が書き込んでいる場合にアクセスウェイトがかかり、スループットが低下する問題がある。

【0013】上述したような特性を有するCLADのセルバッファにDRAMを使用すると、先に説明した3つのアクセス形態がランダムに生じてしまうので、異方性がネックとなり、DRAMの最長のアクセス時間と最長のデータ入出力遅延を考慮したタイミングでのフレームの組立を行わないとセルロスが発生してしまう。このセルロスを避けるためスイッチング速度を落とせばスループットが低下してしまう。また、セルの入出力がほぼ連続的に実行される状態において、データリフレッシュ動作を適当な間隔で行うと、更にスループットが制限されてしまう。

【0014】具体的には、現状のDRAMの最長のアクセス時間と最長のデータ入出力遅延時間を考慮したスイッチング速度は、SRAMの10数分の1程度であり、高スループットの要求されるATMスイッチのCLADにDRAMを単純に使用することは困難である。

【0015】本発明の第1の目的は、大容量、高スルー

ットでセルロスの発生しづらいCLAD及びCLADを用いたATMスイッチを提供することにある。具体的には、高集積大容量のDRAMをCLAD内に内蔵させたCLAD及びCLADを用いたATMスイッチを提供することにある。

【0016】即ち、DRAMのアクセスアドレスに起因するアクセス時間や遅延時間のばらつきを吸収する手段と方法を提供し、この手段と方法を備えたDRAMを使用した大容量でスループットの高いセルロスが発生しにくいCLAD及びCLADを用いたATMスイッチを提供することにある。

【0017】より具体的には、DRAMメモリのランダムライトアクセスに起因するアクセス時間とデータ書き込み時間のばらつきを吸収する手段と方法を提供すること、さらにこの手段と方法を用いた大容量でスループットの高いセルロスが発生しにくいCLAD及びCLADを用いたATMスイッチを提供することを目的とする。

【0018】また、DRAMメモリのランダムリードアクセスに起因するアクセス時間とデータ読み出し遅延のばらつきを吸収する手段と方法を提供すること、さらにこの手段と方法を用いた大容量でスループットの高いセルロスが発生しにくいCLAD及びCLADを用いたATMスイッチを提供することを目的とする。

【0019】また、本発明の第2の目的は、CLADのセルバッファ読み出し側の非同期アクセス時に、MPUにウェイトがかかることなく処理することができるCLAD及びCLADを用いたATMスイッチを提供することにある。

【0020】

【課題を解決するための手段】第1の目的を解決する手段として、複数のDRAMをバンクとしてアレー状に配置し、ATMセルをバンク数またはそれ以上に分割し、各バンクに対して順番にアクセスすることにより、全てのDRAMアクセスをバンクアクセスとし、DRAMアクセスを周期的に行えるようにする。

【0021】またシステムクロックに同期したアクセスを実現するため、セル書き込み、フレーム読み出しを交互に行い、さらに同一バンクに対してのアクセスが一定時間毎になるようにする。

【0022】さらに、上記の方式のDRAM構成を用いて、セル単位のランダムアクセスランダムライトを実現する、セルバッファを構成可能とする。このセルバッファを用いて、CLADのセル組立部のみならず、セル単位のFIFOを構成できる。また第2の目的を解決する手段として、MPUのアクセスリクエストを受け付けるエージェント回路を設け、前記エージェントに対してMPIIがアクセスマリクエストを出すと、前記エージェント回路はシステムクロックに同期したタイミングでフレーム組立バッファからフレームをエージェントの持つフレームバッファに読み出し、フレームが準備されると、M

PUに通知を行い、MPUがフレーム読み出しを開始するようにする。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて説明する。

【0024】図2は本発明のCLADを搭載した、ATM通信装置のブロック図である。本発明のATMスイッチは、ATM網からと非ATM網から構成される複数本（本実施の形態では3本）の入力ハイウェイからラインカード1-1、1-3を介して入力されるATMセル及びバケット（CLADによりATMセルとして）をセルフルーティングスイッチ2と出力側ラインカード1-2、1-4を介して出力ハイウェイに交換出力するもので、入力ハイウェイからのセルを一旦多重化するセル多重部（図示せず）と、スイッチ1全体の制御を行う制御部3等で構成した。尚、本スイッチ2は、図示していない交換システムのインタフェース部等で、各入力ハイウェイより入力されるセルの交換先を示すルーティングタグを予め付与しておき、このルーティングタグに基づきセルを交換する構成とした。もちろん、ATMセルのヘッダに元々含まれるVCI/VPIを基にセルフルーティングスイッチ2が交換動作するものであっても構わない。

【0025】本図では入力側ラインカードと出力側ラインカードが別々に記載されているが、同一のカードに搭載されていても良い。入力した信号は、セルフルーティングスイッチ2で交換され、所望の方路にルーティングされる。ATM以外の信号をATM網に収容する場合、フレームをATMセルに搭載したり、ATMセルからフレームを取り出したりする機能（CLAD）が必要となる。本実施の形態の通信装置では、非ATM網の伝送路を収容するラインカード1-3、1-4にCLADが搭載されている。また、IPルーティングの様にATMレイヤの上位レイヤの処理を行う場合、一旦制御部3に搭載される上位レイヤ処理部4でフレームを処理してATM網に送り出す必要がある。この場合、まずセルフルーティングスイッチ2から制御部3に搭載されたCLAD5にセルを送り、ATMセルの形をした情報を一旦フレームに戻し、上位レイヤ処理部4でフレームに対して処理を行った後、更にCLADでATMセルにフレームを搭載してATM網にセルを送出する。

【0026】図1に本発明のCLAD5のセル分解フレーム組立部の一例を示す。

【0027】ここで、ラインカード1-3、ラインカード1-4、制御部3に用いられるCLAD5は同一の構成で、同一の機能を有するものである。セルの形をして到来したデータは、ATMレイヤ処理部11でヘッダ切り出し処理を行い、ATMコネクションに対応して与えられる、装置内部で使用するコネクション番号を検出する。このコネクション番号にはATMセルヘッダ情報がそのまま使われる場合もある。そして、セル本体とコネ

クション番号等のセル情報をセルトップ信号に同期してフレーム組立制御部12に転送する。このセルトップ信号は、ATMレイヤ処理部11からセル分解フレーム組立部6に、セルの先頭に同期して、送られる信号である。

【0028】フレーム組立処理部12では、コネクション番号に応じて管理情報バッファから当該コネクションのフレーム組立情報を取り出し、到来セルをDRAMによって構成されたフレーム組立バッファ13のどのアドレスに格納すべきかを決定する。そして決定されたアドレスに従い、フレーム組立バッファ13に到来セルを格納する。

【0029】あるフレームの情報を搭載したセルが全て到来し、フレームの組立が完了すると、フレーム組立制御部12はフレーム組立バッファ13からフレームを読み出し、フレーム出力バッファ15にフレームを格納する。

【0030】本実施の形態では、上位レイヤの処理を行うものとして、MPU（Micro Processing Unit）を使用している。MPUは、フレーム組立バッファからフレームを読み出し、読み出したフレームをフレーム出力バッファ15に格納するよう制御する。フレーム出力バッファ15にフレームが到着すると、ここからフレームを読み出し、フレームの処理を行う。

【0031】図3にフレーム組立バッファ13の1構成例を示す。

【0032】バッファはコネクション毎に管理（100）されており、各コネクションに対して、このフレーム組立バッファのバッファ領域は、コネクション毎に複数のフレーム格納領域（101-1、101-2）を確保している。本図では1コネクションあたり、2つのフレームを格納できる。

【0033】またフレームは複数のセルから構成されるため、各フレーム領域は、セル単位に管理される。本実施例ではフレームを組み立てるためのセル格納領域がフレームの最大長に合わせて確保されている。例えば、IP（Internet Protocol）の場合、フレーム最大長は約1500バイトである。この場合、最大約31セルで1フレームが構成できる。

【0034】CLADで4000コネクションを収容し、各コネクションに対して2フレーム分のフレーム格納領域を持つとすると、
 $1500 \text{ バイト} \times 2 \text{ フレーム} \times 4000 \text{ コネクション} = 12 \text{ メガバイト}$

がフレーム組立バッファが必要となる。コネクション数が更に多い場合は、これ以上の容量が必要となる。

【0035】図4にフレーム組立バッファのアドレス構成例（110、111、112）を示す。アドレスはセル単位で生成され、本実施例では4096コネクション

(12ビット)、コネクション当たりのフレーム数2(1ビット)、フレーム当たりの最大セル数31(6ビット)の場合を示している。これによりフレーム組立バッファ中のセルを1意に指定できる。

【0036】図5に管理情報バッファ14の1構成例を示す。管理情報バッファでは、フレーム組立バッファのバッファ管理情報を格納している。本管理情報バッファは各フレームバッファがアイドル、フレーム組立中、フレーム読出中(読出待機も含む)である状態番号(読み出しフラグと書込フラグで状態表示)と書込セル番号を格納している。

【0037】書込フラグ(121、123)は本フレームが組み立て中であることを示している。読み出しフラグは本フレームが読出中(読出待機も含む)を示している。

【0038】書込セル番号(124、125)は、本フレームに該当するセルが次に格納されるセル格納領域番号を示す。

【0039】本実施例では、管理情報バッファではこれらの情報を、それぞれフレーム0とフレーム1に対して保持している。

【0040】図6に管理情報バッファの状態フラグ(120、121、122、123)の状態遷移(正常処理シーケンスのみ)を記述する。まず簡単に説明するために1つのフレームの状態遷移について説明する。初期状態(読み出しフラグ0、書込フラグ0、以下順に“00”の様に表記)“00”から、セルが到着すると、セルをフレーム組立バッファの書込セル番号で指定した領域に格納した後、書込セル番号を1インクリメントし、書込フラグを1にする(状態“01”)。次に本フレームに関するセルが到着すると同様の処理を行う。そして、フレームの最後のセルが到着すると、読み出しフラグを1にする(状態“11”)。そしてフレームの読み出しが完了すると、書込フラグ、読み出しフラグ、書込セル番号をクリア(0)にする(状態“00”)。この処理を繰り返すことにより、フレームの組立を行う。

【0041】フレーム読み出し待機中にも次のフレームが受信出来るように、フレーム格納領域をコネクションに対して複数保持している。そのため、1コネクションに対して、2つのフレームバッファを管理する必要がある。この状態遷移を図6に記述している。片方のフレームバッファが読み出し待機中には、反対側のフレームバッファに書き込む状態遷移図を示している。

【0042】図中、状態①(130-1)、②(130-2)、⑥(130-6)、⑦(130-7)では、次にフレームが到着すると、セルをフレーム0側に書き込む。状態③(130-3)、④(130-4)、⑤(130-5)ではフレーム1側に書き込む。状態⑧(130-8)では、両バッファとも読み出し待機中なので、セルを格納する領域がなく、セル廃棄となる。

【0043】図7にセル到着時のフレーム組立制御部12の動作を示す、フローチャートを記述する。まずセルがコネクション番号と共にATMレイヤ処理部から到着する(140)と、当該コネクションに関する情報を管理情報バッファから読み出し、フレーム組立制御部12内部のワークレジスタに読み出す(141)。以下セル処理が終了するまで、本ワークレジスタの値に基づき処理を行い、最後に本レジスタから管理情報バッファに変化した情報を書き込む(151)形とする。

【0044】まずセルの書込が可能かどうか(図6の状態(c)のみ不可)を調べ、書込が可能であると、次にフレーム格納領域のどちらに書き込むかを決定する。状態(a)の場合にはフレーム0側にセルを格納する処理を行い、状態(b)の時にはフレーム1側にセルを格納する処理を行う。

【0045】セルを書き込む処理としては、まずコネクション番号、フレーム番号、書込セル番号を書込アドレスレジスタにロード(145、148)する。そしてセルをフレーム組立バッファ内の所定の場所に格納(146、149)する。その後、フレーム書込フラグを1(書込中)にし、更に当該セルがフレームの最後のセルの場合には読み出しフラグを1とし、また、当該セルがフレームの最後のセルでない場合には書込セル番号をインクリメントする。

【0046】そして最後にワークレジスタの値を管理情報バッファに書込、1セルの到着処理を終了する。

【0047】図8にフレーム読み出しのシーケンスを示す。まず、フレーム組立制御部のフレーム読み出し制御部には、管理情報バッファの値を1時的に格納する読み出し側ワークレジスタを保持している。フレーム読み出し開始時にコネクション番号とフレーム番号の通知を受ける(160)。そして、管理情報バッファの値を読み出し側ワークレジスタに格納する。そしてコネクション番号、フレーム番号を読み出側アドレスレジスタ(RAD)に書き込む。またフレームの先頭のセルを読み出すときには、セル番号は0である。次に図4に示したアドレスに従い、フレームの1セル分の情報を読み出す。読み出した後、書込セル番号と、読み出しセル番号(RAD内のセル番号)が一致した場合には、当該セルがフレームの最後のセルを示しているため、管理情報バッファ、RADセル番号を0にクリアする。一致しない場合には、RAD内セル番号を1インクリメントし、フレーム読み出しを継続する。

【0048】上記の処理でセルの組立処理が行われる。

【0049】以下に、図9、図10、図11を用いて、本発明によるセル分解フレーム組立部のDRAMで構成されたフレーム組立バッファ13へのセル書き込み、読み出しについて説明する。

【0050】図9に示すように、ATM通信で用いるATMセルはATMセルヘッダ32、ATMセルペイロー

ド部を合わせて、53オクテット長である。また、ATM交換機内部での処理を行うために内部セルヘッダ31が付与されることがある。

【0051】本実施の形態ではATM交換機内部のセルは64オクテットとしている。

【0052】ATMセルを分割し、同一セル情報をフレーム組立バッファ13に書き込む。本実施の形態では、ATMセルを8オクテット(64ビット)並列に展開し、1回のクロックタイミングで64ビットの情報転送を行っている。この場合、1つのATMセルは8クロックで転送されることになる。この8クロックで転送するセルを、DRAMバンク1からバンク8の8つの別々のバンクに順次書き込む。また、フレームを読み出す場合も、連続したフレーム情報が順に別のバンクに格納されているため、それぞれのDRAMバンクから順番に情報を取り出す。

【0053】図10にATMセルを収容し、フレーム組立を行うDRAM(フレーム組立バッファ)13の構成図を示す。

【0054】あるフレームを構成するATMが到着すると、ATMセルはそのフレームの情報が書き込まれるべき場所であって、直前に到着したセルが格納されている次の領域に、書き込まれる。セルは先頭から順にバンク1(69-1)、バンク2(69-2)・・・の順に書き込まれていく。またあるフレームを構成するセルが全て到着し、フレームを読み出す場合にはフレームが格納されている領域の先頭から順にフレームを読み出していく。フレーム組立制御部12はあるフレームを構成するために必要となるATMセルを全て入力すると、MPU16にその旨を通知するフレーム入力完了通知を送る。尚、フレーム組立制御部12があるフレームの全てを入力したことは、ATMレイヤ処理部11から送られてくるATMセルに含まれるPTフィールド(AAL5: ATM Adaption Layer 5)中のデータにより識別することができる。

【0055】フレーム組立バッファ13のバンクへの書込、読み出しは、バンク1(69-1)、バンク2(69-2)・・・の順にセルが書き込まれたため、フレーム情報もバンク1(69-1)、バンク2(69-2)の順に読み出される。ここに、バンク8(69-8)、バンク7(69-7)・・・の順に書き込んでも同様の効果を得ることができることは言うまでもない。但し、各バンクからデータを読み出す順も、データを書き込んでいく順に対応していることが必要である。尚、本実施の形態では、バンクの数と、フレーム組立制御部12によって一つのATMセルの分割数とは共に8つであるが、ビット数の2の冪乗の4、8、16等の数を採用しても良い。また、バンクの数と、一つのATMセルを分割する数は必ずしも同一である必要はなく、DRAMの異方性を吸収し、DRAMへのバンクアクセスを可能にし、セ

ル廃棄を防止できれば種々の組み合わせが考えられる。

【0056】図11にセルの書き込み、読み出しのタイミングを示した、タイミングチャートを示す。CLK(51)はセルを転送するクロックで、本実施の形態では40MHzである。本実施の形態ではセルは64ビット並列で転送されているため、8クロックタイミングで1セルが転送される(INPUT: 54)ことになる。

【0057】セルトップ信号(52: TOP)はセルの先頭に同期して転送される。CLK(51)に同期してタイミングカウンタ(53: CNT)がカウントアップされる。カウンタはセルの到着タイミングを管理しており、本実施の形態では、セルトップ信号が到来すると1にリセットされる。

【0058】到来したセルは、セルの格納場所が決定されると、セルは各バンクに順番に書き込まれる。CNT 53が1の時にはバンク1(55-1)に、2の時にはバンク2(55-2)に書き込みが行われる。

【0059】また、フレームを読み出す場合にも、入力側セルトップ信号に同期してフレームの出力を行う。この場合、DRAMのランダムアクセス時の特徴である、リードアドレスを与えてから、データが出力されるまでのレイテンシを考慮し、CNTが5の時にバンク1に対してリードアドレスの入力を行う。すると、バンク1からのデータ出力はCNTが8のタイミングで出力される。同様にCNTが6の時にバンク2、CNTが7の時にバンク3・・・とアクセスするとそれぞれCNTが1、2・・・の時にデータが出力される。そこでこの信号を1段ラッチして出力することにより、セルトップに同期して1セル分の情報のフレームを取り出すことが出来る。

【0060】本実施例では、DRAMのバンクアクセスのレイテンシを3クロックタイミングとしている。これは使用するDRAMの特性に依存しており、これより遅いことも速いこともある。その場合はレイテンシに合わせてタイミングを替えてやればよい。

【0061】これにより、1つのDRAMに対してのライトアクセス/リードアクセスを1サイクルとしたアクセスサイクルは、バンクの数をnとすると、セル到着クロック周期の $n/2$ 倍となる。これにより、1つのDRAMのアクセス速度が遅くても、DRAMアレーを構成することにより、フレーム組立バッファへのアクセス速度を上げることが出来る。

【0062】図12を用いて、DRAMを用いたフレーム組立バッファの1構成例について説明する。

【0063】図11で説明したとおり、セルの転送クロックに合わせてCNTがカウントアップする。セルトップに同期して、フレーム組立制御部12で決定された、セルの書き込みアドレスをWAD63に、フレーム読み出しアドレスをRAD64に転送する。CNT62の値はカウンタ値のデコードに接続されている。各DRAM

バンクはDRAMアクセスアドレス保持レジスタ（BK1AD：67-1、BK2AD：67-2、...）と書き込みデータ保持レジスタ（BK1DT：68-1、BK2DT：68-2）を持つ。デコーダ61は、各レジスタへのデータロードタイミング信号、DRAMへのリードライトアクセスタイミング信号を生成する。これにより、図5に示したタイムチャートでのDRAMアレーへのアクセスが可能となる。

【0064】図13に本発明によるCLADのセル分解、フレーム組立部の別の実施の形態を示す。

【0065】図1は、フレームが組み立てられると、MPUの介在なしにフレーム出力バッファ15にフレームをフレーム組立制御部12読み出す構成であった。図13では、管理情報バッファに格納される組立済みフレーム情報をMPU16からアクセス可能としている。MPU16は組立済みフレームを検出すると、フレーム読み出しをフレーム組立制御部12に要求する。フレーム組立制御部12は読み出し要求に応じてフレームをフレーム組立バッファ13から読み出す。これにより、MPU16が所望のフレームを選択して取り出すことが出来る。

【0066】

【発明の効果】本発明は、DRAMを用いてフレーム組立バッファを作成することにより、フレーム組立バッファの容量が増大し、同時に組立を行うフレーム数が増大することにより、高信頼のCLADを構成することが出来る。高速で収容するVC数が多い伝送路に対するCLADを構成することが出来る。

【0067】また、本発明によるとセル単位のランダムアクセス、リードを出来るDRAMバッファを構成することにより、大容量、低価格のセル単位のFIFOを構成できる。比較的小容量のスイッチにも応用することが出来る。

【図面の簡単な説明】

【図1】本発明によるDRAMを用いたフレーム組立バッファを使用した、CLADの構成の一例を示す図である。

【図2】本発明による本発明のCLADを搭載した、ATM通信装置のブロック図である。

【図3】フレーム組立バッファの構成を示す図である。

【図4】フレーム組立バッファのアドレスの構成を示す図である。

【図5】管理情報バッファの構成を示す図である。

【図6】管理情報バッファの状態フラグの状態転移を示す図である。

【図7】セル到着時のフレーム組立制御部の動作を示すフローチャートを示す図である。

【図8】フレーム読み出しのシーケンスを示す図である。

【図9】本発明によるDRAMを用いたフレーム組立バッファへのセルの格納方法を示す図である。

【図10】本発明によるフレーム組立バッファのDRAMアレーの配置方法と、フレーム、セルの格納方式を説明する図である。

【図11】本発明によるDRAMによるフレーム組立バッファを構成するDRAMアレーへのセル書き込み、フレーム読み出しのタイミングを説明した図である。

【図12】本発明による、DRAMによるフレーム組立バッファのDRAM周辺回路の1構成例を示す図である。

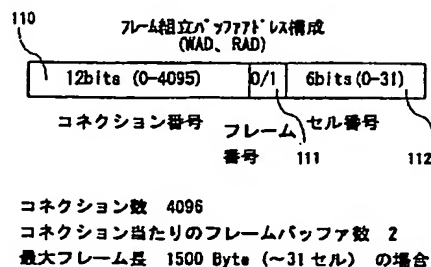
【図13】本発明による、MPUからの要求に応じて、所望のフレームを取り出すことの出来るCLADの1構成例を示す図である。

【符号の説明】

1…ラインカード、2…セルフルーティングスイッチ、3…制御部、6…セル分解フレーム組立部、12…フレーム組立制御部、13…フレーム組立バッファ、14…管理情報バッファ、69…DRAM

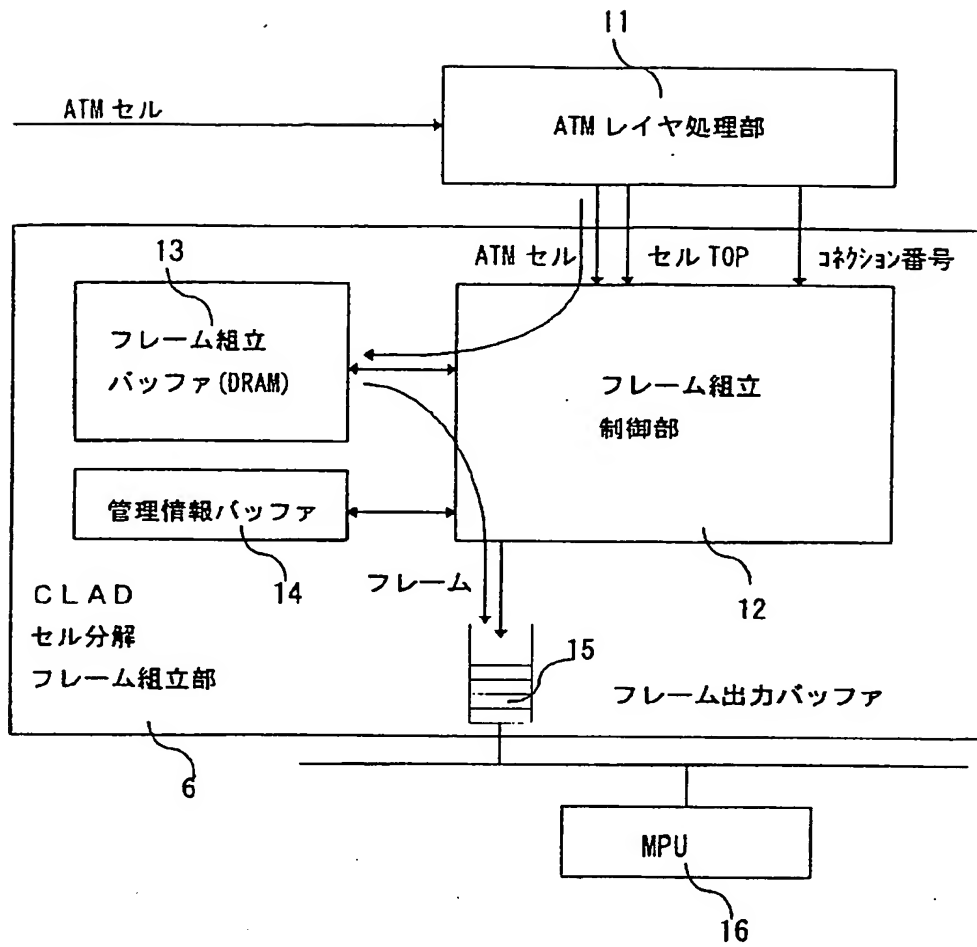
【図4】

図4



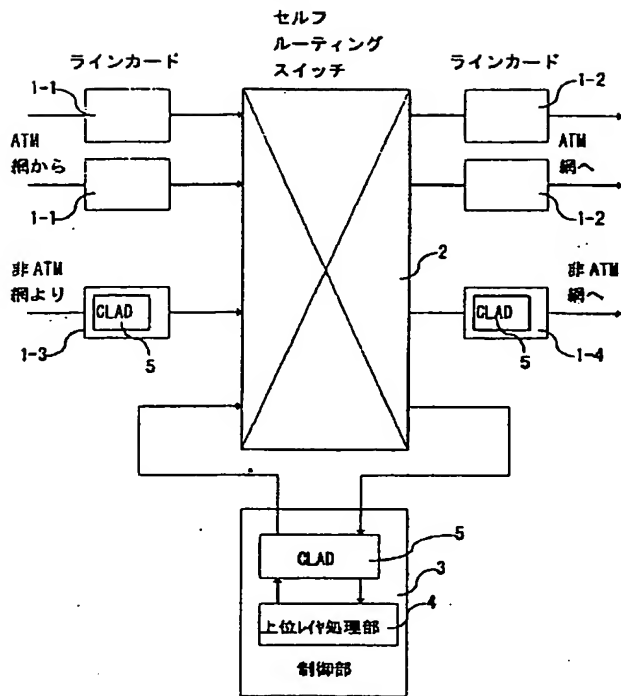
【図1】

図 1



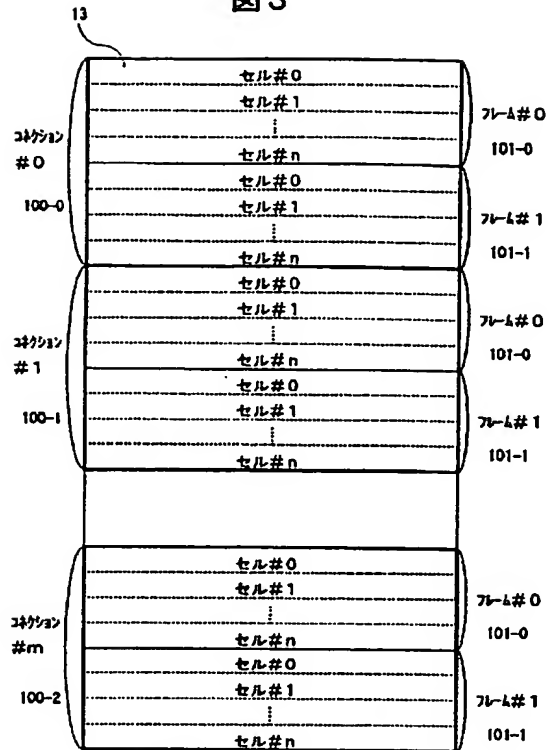
【図2】

図2



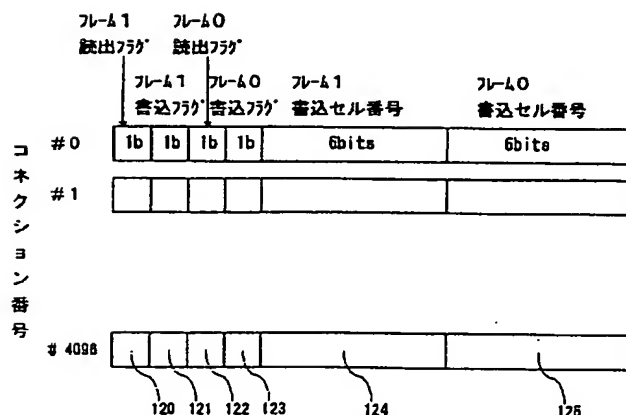
【図3】

図3



【図5】

図5

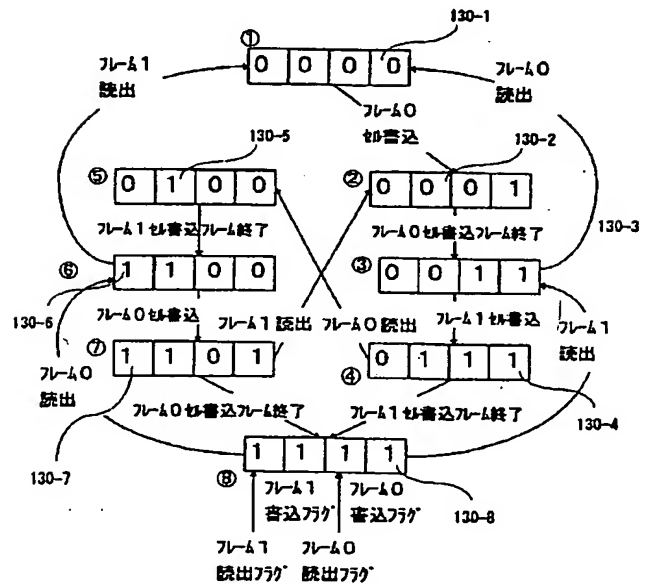


送出フラグ : 1 送出待機中
 書き込みフラグ : 1 書き込み中
 書き込み番号 : 次に書き込むバッファ領域を表示

管理情報バッファビットマップ

【図6】

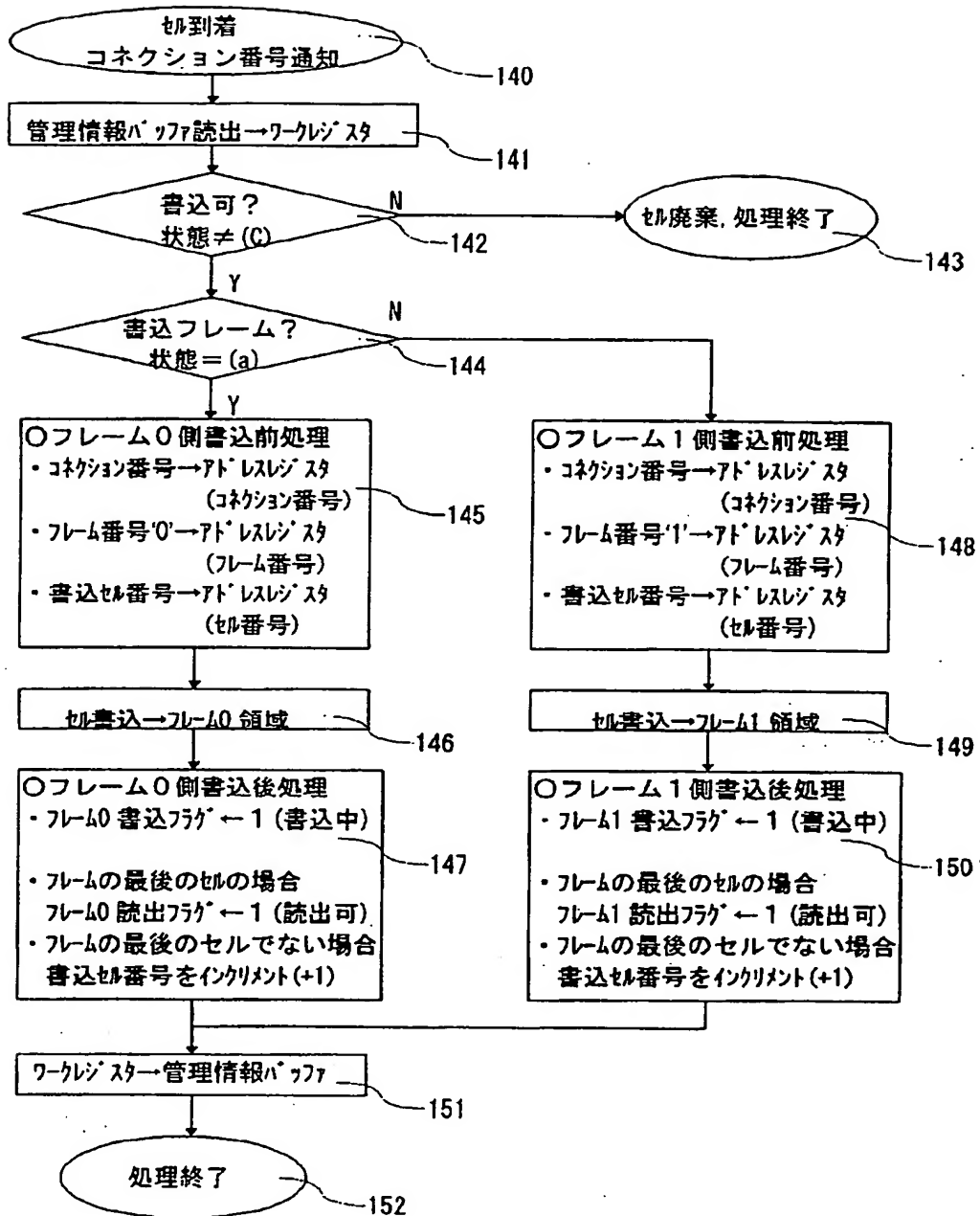
図6



- (a) ①②⑤⑦ : フレーム0に書き込み
 (b) ③④⑥ : フレーム1に書き込み
 (c) ⑧ : 書き込み不可

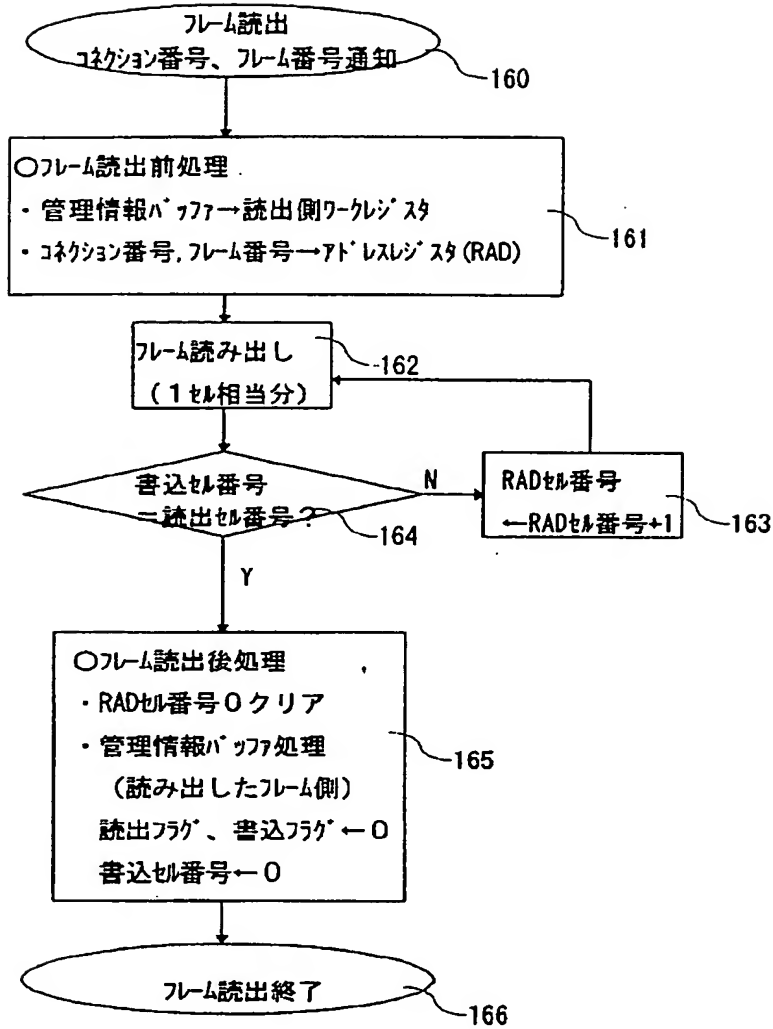
【図7】

図7



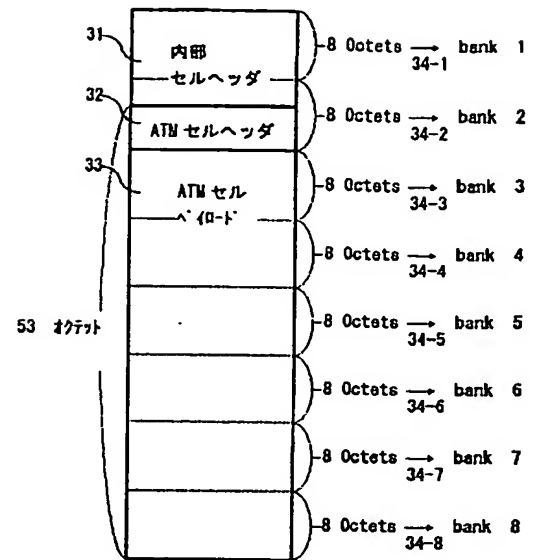
【図8】

図8



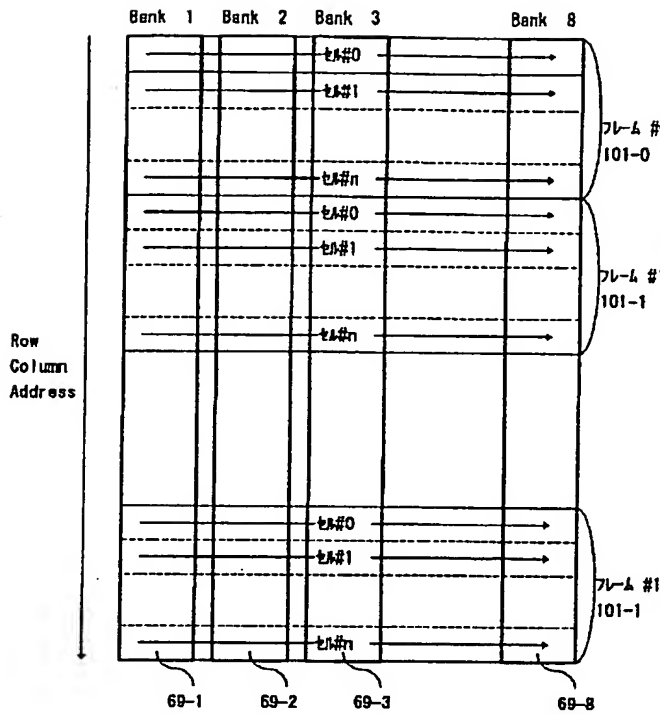
【図9】

図9



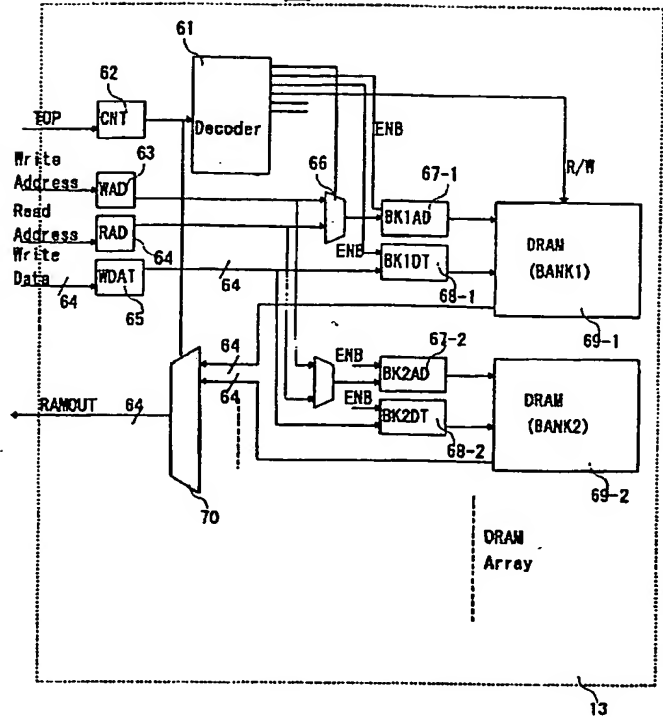
【図10】

図10



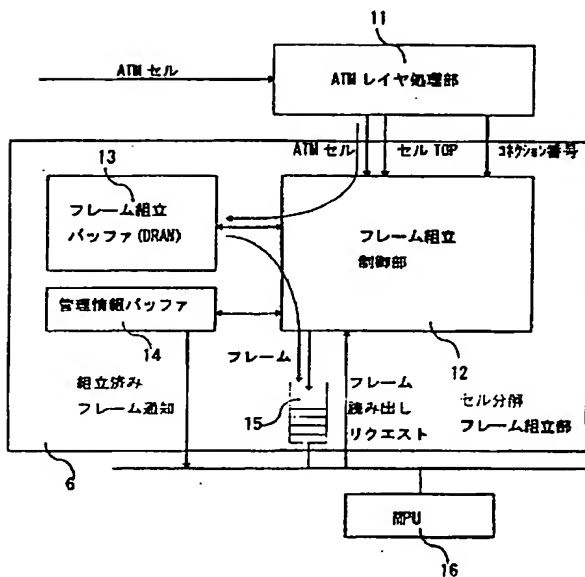
【図12】

図12



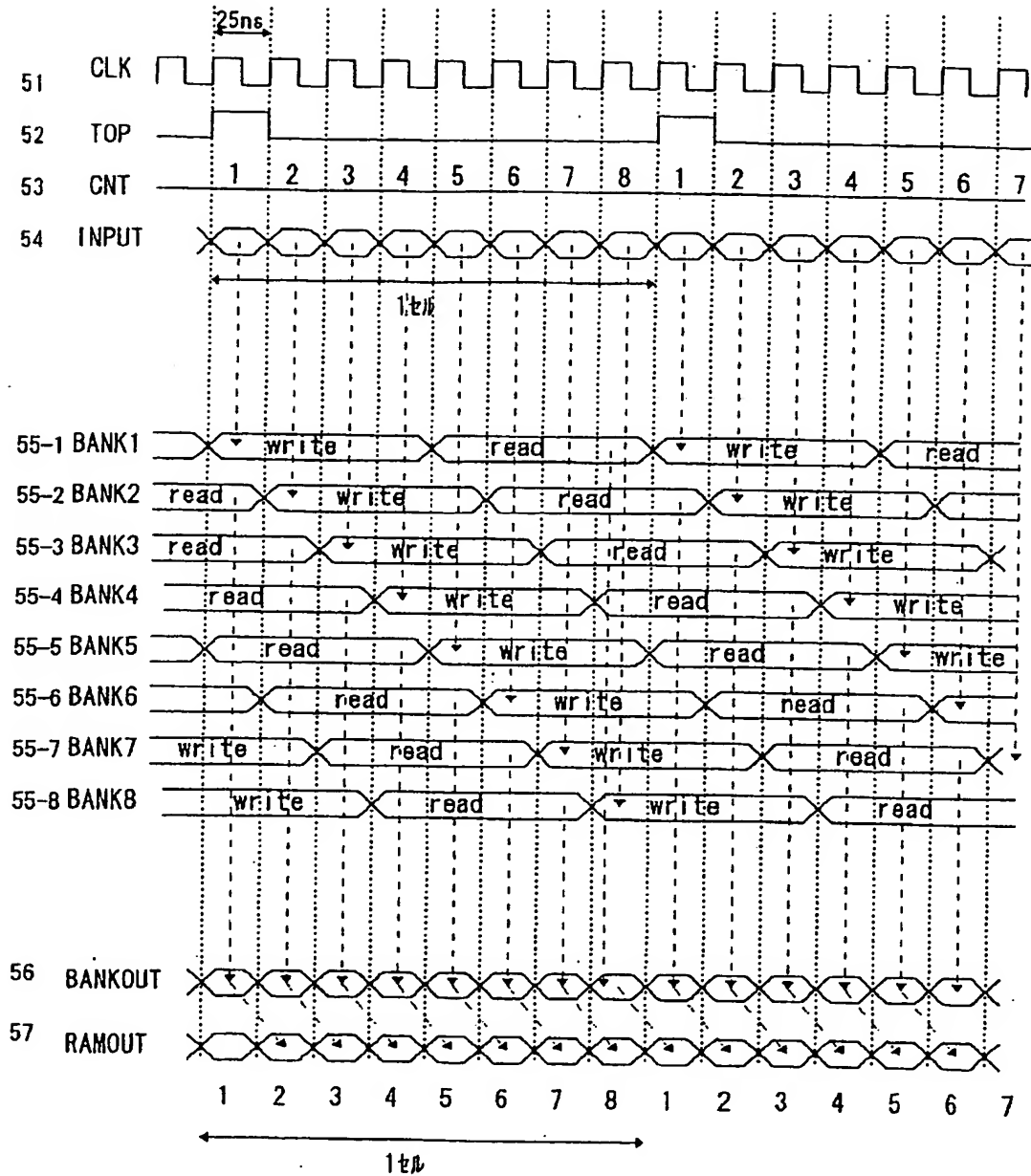
【図13】

図13



【図11】

図 11



フロントページの続き

(72) 発明者 森脇 紀彦
東京都国分寺市東恋ヶ窪一丁目280番地株
式会社日立製作所中央研究所内

(72) 発明者 木内 淳
東京都小平市上水本町五丁目20番1号株式
会社日立製作所半導体事業部内